

МИНОБРНАУКИ РОССИИ  
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ  
ВЫСШЕГО ОБРАЗОВАНИЯ  
«ВОРОНЕЖСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ»  
(ФГБОУ ВО «ВГУ»)

УТВЕРЖДАЮ  
Заведующий кафедрой  
математического анализа



А.С.Шабров  
13.05.2022

**РАБОЧАЯ ПРОГРАММА УЧЕБНОЙ ДИСЦИПЛИНЫ**  
Б1.В.ДВ.01.01 Организация ЭВМ и вычислительных систем

**1. Код и наименование направления подготовки/специальности:**

10.05.04 Информационно-аналитические системы безопасности

**2. Профиль подготовки/специализация:**

Автоматизация информационно-аналитической деятельности  
Информационная безопасность финансовых и экономических структур

**3. Квалификация (степень) выпускника:** Специалист по защите информации

**4. Форма обучения:** очная

**5. Кафедра, отвечающая за реализацию дисциплины:** Кафедра математического анализа

**6. Составители программы:**

Шабров Сергей Александрович, д-р. Физ.-мат. наук, доцент

**7. Рекомендована:** Научно-методическим советом математического факультета, протокол № 0500-03 от 24.03.2022

*(наименование рекомендующей структуры, дата, номер протокола,*

---

**8. Учебный год:** 2022-2023

**Семестр(ы):** 2

**9. Цели и задачи учебной дисциплины:** Целью изучения дисциплины является приобретение студентами знаний о принципах построения современных ЭВМ, комплексов и систем, основ организации ЭВМ и систем, подсистем ЭВМ, их взаимодействия между собой, приобретение знаний и навыков, необходимых для профессиональной деятельности.

В результате изучения дисциплины студенты должны: иметь представление об архитектуре информационно-вычислительных и проблемно-ориентированных системах, о ЭВМ с различной структурой; о интерфейсах, об организации контроля функционирования и диагностике ЭВМ. Знать архитектуру, характеристики, возможности и области применения ЭВМ и систем основных классов и типов; состав, принципы организации и функционирования отдельных подсистем, ЭВМ и систем в целом. Уметь и иметь навыки выбора архитектур и средств комплексирования современных ЭВМ и систем, проектирования устройств вычислительной техники, анализа работы узлов и блоков ЭВМ.

**10. Место учебной дисциплины в структуре ООП:** (блок Б1, базовая или вариативная часть, к которой относится дисциплина; требования к входным знаниям, умениям и навыкам; дисциплины, для которых данная дисциплина является предшествующей))

Данная дисциплина относится к дисциплинам по выбору.

**11. Планируемые результаты обучения по дисциплине/модулю (знания, умения, навыки), соотнесенные с планируемыми результатами освоения образовательной программы (компетенциями выпускников):**

Код	Название компетенции	Код(ы)	Индикатор(ы)	Планируемые результаты обучения
ПК-3	Способен решать типовые задачи обработки и анализа информации в информационно-аналитических системах государственных органов, обеспечивающих национальную безопасность	ПК-3.1	Владеет способами решения типовых задач обработки и анализа информации в информационно-аналитических системах	<p>знать: основные определения, понятия и идеи изучаемых разделов курса.</p> <p>уметь: выявлять естественнонаучную сущность проблем, возникающих в ходе профессиональной деятельности.</p> <p>владеть: математическим аппаратом, необходимым для самообразования.</p>
		ПК-3.3	Применяет математические методы для обработки и анализа информации	<p>Знать эталонную модель уголовного взаимодействия открытых систем, принципы построения защищенных телекоммуникационных систем, общие принципы построения и использования современных языков программирования высокого уровня.</p> <p>Уметь использовать известные методы программирования и возможности базового языка программирования для решения типовых профессиональных задач; самостоятельно применять методы и средства познания, обучения и самоконтроля для приобретения новых знаний и умений, в том числе в новых областях, непосредственно не связанных со сферой деятельности, развития социальных и профессиональных компетенций, изменения вида своей профессиональной деятельности</p> <p>Владеть навыками разработки алгоритмов решения типовых профессиональных задач.</p>

## 12. Объем дисциплины в зачетных единицах/час. — 2/ 72.

Форма промежуточной аттестации(зачет/экзамен) зачет .

## 13. Виды учебной работы

Вид учебной работы	Трудоемкость			
	Всего	По семестрам		
		№ семестра	3 семестр	...
Аудиторные занятия	32		32	
в том числе: лекции	16		16	
практические				
лабораторные	16		16	
Самостоятельная работа	40		40	
Форма промежуточной аттестации (зачет – 0 час. / экзамен – __ час.)				
Итого:	72		72	

### 13.1. Содержание разделов дисциплины:

п/п	Наименование раздела дисциплины	Содержание раздела дисциплины
<b>1. Лекции</b>		
1.1	Введение	Основные понятия. История развития ВТ. Основные характеристики. Классификация ВС. Тенденции развития ВС. Многоуровневая модель ЭВМ.
1.2	Функциональная организация ЭВМ	Основные понятия. Представление информации. Представление данных. Представление команд. Машинные операции. Способы адресации. Организация ЭВМ, управляемых потоком команд. Основные стадии выполнения команд. Конвейер команд. Параллельные процессы. Прерывания. Защита памяти. Параллельные вычисления. Организация ЭВМ, управляемых потоком данных. Основные стадии выполнения команд. Структура команд. Командные пакеты. Способы повышения быстродействия. Организация ЭВМ, управляемых потоком запросов. Командные пакеты. Способы повышения быстродействия
1.3	Структурная организация ЭВМ	Основные понятия. Классы устройств. Процессоры. Запоминающие устройства. Устройства ввода-вывода. Концепция интерфейса. Магистрально – модульный принцип структурной организации ЭВМ. Распределение адресного пространства. Буферизация. Классификация ВС. Тенденции развития. Структура ВС общего назначения. Структура ВС реального времени. Многомашинные ВС. Компьютерные кластеры. Локальные сети. Корпоративные сети. Глобальные сети.
1.4	Организация процессоров	Общая характеристика процессоров. Классификация процессоров. Организация процессоров ОКОД (Скалярные. Суперскалярные. С длинным командным словом. Мультискалярные). Организация процессоров ОКМД (векторные и ассоциативные). Организация процессоров МКОД (конвейеры данных). Организация процессоров МКМД (матричные).
1.5	Организация памяти	Общая характеристика и классификация устройств памяти. Многоуровневая организация памяти. Управление. Защита. Виртуальная память. Адресация. Страничная организация. Сегментация. Управление. Защита.

		<p>Объектно - ориентированная память. Управление. Защита. Проблемно – ориентированная память. Управление. Защита.</p> <p>Области использования устройств памяти различного типа (с произвольным доступом, с последовательным доступом, с ассоциативным доступом).</p>
1.6	Организация ввода-вывода	<p>Общие сведения об организации ввода-вывода. Способы передачи данных (параллельный, последовательный, с использованием аппаратуры передачи данных).</p> <p>Способы организации обмена (программно управляемый, с прерываниями, внепрограммный).</p> <p>Периферийные устройства.</p>
1.7	Элементы и узлы ЭВМ	<p>Цифровые ИС. История развития. Классификация. Технологии. Характеристики (статические и динамические). Области применения. Способы описания схем. Тенденции развития.</p> <p>Комбинационные схемы (простейшие логические схемы, дешифраторы, демультимплексоры, мультимплексоры, сумматоры, АЛУ). Синтез комбинационных схем. Области применения.</p> <p>Последовательностные схемы (триггеры, регистры, счетчики). Области применения. Управляющие автоматы. Классификация. Модель Мили. Модель Мура. Синтез управляющих автоматов.</p> <p>Операционные автоматы. Классификация. Синтез. Микропроцессоры. История. Классификация. Области применения. Тенденции развития. Области применения.</p> <p>Особенности организации универсальных микропроцессоров (на примере изделий фирмы Intel от i8080 до Core 2 Duo)</p> <p>Микросхемы памяти. История развития. Классификация. Области применения. Тенденции развития</p> <p>Программируемые логические интегральные схемы. История. Классификация. Тенденции развития. Области применения.</p> <p>Назначение и основные функции табличного процессора.</p>
1.8	Организация программного обеспечения	<p>Классификация ПО согласно POSIX. ПО микроконтроллеров. ПО встраиваемых микро-ЭВМ. ПО персональных ЭВМ. Сетевое ПО.</p>
<b>2. Практические занятия</b>		
<b>3. Лабораторные работы</b>		
3.1	Введение	<p>Основные понятия. История развития ВТ. Основные характеристики. Классификация ВС. Тенденции развития ВС. Многоуровневая модель ЭВМ.</p>
3.2	Функциональная организация ЭВМ	<p>Основные понятия. Представление информации. Представление данных. Представление команд. Машинные операции. Способы адресации.</p> <p>Организация ЭВМ, управляемых потоком команд. Основные стадии выполнения команд. Конвейер команд. Параллельные процессы. Прерывания. Защита памяти. Параллельные вычисления.</p> <p>Организация ЭВМ, управляемых потоком данных. Основные стадии выполнения команд. Структура команд. Командные пакеты. Способы повышения быстродействия.</p> <p>Организация ЭВМ, управляемых потоком запросов. Командные пакеты. Способы повышения быстродействия</p>
3.3	Структурная организация ЭВМ	<p>Основные понятия. Классы устройств. Процессоры. Запоминающие устройства. Устройства ввода-вывода. Концепция интерфейса. Магистрально – модульный принцип структурной организации ЭВМ. Распределение адресного пространства. Буферизация.</p> <p>Классификация ВС. Тенденции развития. Структура ВС общего назначения. Структура ВС реального времени. Многомашинные ВС. Компьютерные кластеры. Локальные</p>

		сети. Корпоративные сети. Глобальные сети.
3.4	Организация процессоров	Общая характеристика процессоров. Классификация процессоров. Организация процессоров ОКОД (Скалярные. Суперскалярные. С длинным командным словом. Мультискалярные). Организация процессоров ОКМД (векторные и ассоциативные). Организация процессоров МКОД (конвейеры данных). Организация процессоров МКМД (матричные).
3.5	Организация памяти	Общая характеристика и классификация устройств памяти. Многоуровневая организация памяти. Управление. Защита. Виртуальная память. Адресация. Страничная организация. Сегментация. Управление. Защита. Объектно - ориентированная память. Управление. Защита. Проблемно – ориентированная память. Управление. Защита. Области использования устройств памяти различного типа (с произвольным доступом, с последовательным доступом, с ассоциативным доступом).
3.6	Организация ввода-вывода	Общие сведения об организации ввода-вывода. Способы передачи данных (параллельный, последовательный, с использованием аппаратуры передачи данных). Способы организации обмена (программно управляемый, с прерываниями, внепрограммный). Периферийные устройства.
3.7	Элементы и узлы ЭВМ	Цифровые ИС. История развития. Классификация. Технологии. Характеристики (статические и динамические). Области применения. Способы описания схем. Тенденции развития. Комбинационные схемы (простейшие логические схемы, дешифраторы, демультиплексоры, мультиплексоры, сумматоры, АЛУ). Синтез комбинационных схем. Области применения. Последовательностные схемы (триггеры, регистры, счетчики). Области применения. Управляющие автоматы. Классификация. Модель Мили. Модель Мура. Синтез управляющих автоматов. Операционные автоматы. Классификация. Синтез. Микропроцессоры. История. Классификация. Области применения. Тенденции развития. Области применения. Особенности организации универсальных микропроцессоров (на примере изделий фирмы Intel от i8080 до Core 2 Duo) Микросхемы памяти. История развития. Классификация. Области применения. Тенденции развития Программируемые логические интегральные схемы. История. Классификация. Тенденции развития. Области применения. Назначение и основные функции табличного процессора.
3.8	Организация программного обеспечения	Классификация ПО согласно POSIX. ПО микроконтроллеров. ПО встраиваемых микро-ЭВМ. ПО персональных ЭВМ. Сетевое ПО.

## 13.2. Темы (разделы) дисциплины и виды занятий

№ п/п	Наименование темы (раздела) дисциплины	Виды занятий (часов)				Всего
		Лекции	Практические	Лабораторные	Самостоятельная работа	
1	Введение	1				1
2	Функциональная организация ЭВМ	1		2	4	7
3	Структурная организация ЭВМ	2		2	4	8
4	Организация процессоров	2		2	4	8
5	Организация памяти	2		2	6	10
6	Организация ввода-вывода	2		2	6	10
7	Элементы и узлы ЭВМ	2		2	8	12
8	Организация программного обеспечения	4		4	8	16
	Итого:	16		16	40	72

## 14. Методические указания для обучающихся по освоению дисциплины

Перечень вопросов, содержащихся в рабочей программе дисциплины, может быть изложен с различной степенью глубины в соответствии с объемом часов на самостоятельную работу студентов.

## 15. Перечень основной и дополнительной литературы, ресурсов интернет, необходимых для освоения дисциплины (список литературы оформляется в соответствии с требованиями ГОСТ и используется общая сквозная нумерация для всех видов источников)

а) основная литература:

№ п/п	Источник
1	Таненбаум, Эндрю. <i>Современные операционные системы = Modern Operating Systems</i> / Э. Таненбаум ; [пер. с англ. Н. Вильчинского, А. Лашкевича]. — 3-е изд. — СПб. [и др.] : Питер, 2013. — 1115 с.
2	Таненбаум, Эндрю. <i>Современные операционные системы = Modern Operating Systems</i> / Э. Таненбаум ; [пер. с англ. Н. Вильчинского, А. Лашкевича]. — 3-е изд. — СПб. [и др.] : Питер, 2012. — 1115 с.
3	Бройдо, Владимир Львович. <i>Вычислительные системы, сети и телекоммуникации : учебное пособие для студ. вузов, обуч. по специальностям "Приклад. информатика" и "Информ. системы в экономике"</i> / В.Л. Бройдо, О.П. Ильина. — 4-е изд. — СПб. [и др.] : Питер, 2011. — 554 с.

б) дополнительная литература:

№ п/п	Источник
4	Таненбаум, Эндрю. <i>Архитектура компьютера : Пер. с англ. / Э.Таненбаум ; Под науч. ред. А.В.Гордеева. — 4-е изд. — СПб. : Питер, 2003. — 698 с.</i>
5	Угрюмов, Евгений Павлович. <i>Цифровая схемотехника : учебное пособие для студ. вузов, обуч. по направлению подготовки 230100 "Информатика и вычисл. техника" / Е.П. Угрюмов. — 3-е изд. — Санкт-Петербург : БХВ-Петербург, 2010. — 797 с.</i>
6	Корнеев, Виктор Владимирович. <i>Современные микропроцессоры / В. В. Корнеев, А. В. Киселев. — М. : Нолидж, 1998. — 236 с.</i>
7	Грушвицкий, Ростислав Игоревич. <i>Аналого-цифровые периферийные устройства микропроцессорных систем / Р.И. Грушвицкий, А.Х. Мурсаев, В.Б. Смолов. — Л. : Энергоатомиздат, Ленингр. отд-ние, 1989. — 160 с.</i>
8	Олифер, Виктор Григорьевич. <i>Сетевые операционные системы : учебник для вузов / В. Г. Олифер; Н. А. Олифер. — 2-е изд. — СПб. [и др.] : Питер, 2008. — 668 с.</i>

в) информационные электронно-образовательные ресурсы (официальные ресурсы интернет)\*:

№ п/п	Ресурс
1.	<a href="http://www.lib.vsu.ru">http://www.lib.vsu.ru</a> – официальный сайт библиотеки ВГУ
2.	<a href="http://www.math.vsu.ru">http://www.math.vsu.ru</a> – официальный сайт математического факультета ВГУ
3.	<a href="http://www.math.msu.ru">http://www.math.msu.ru</a> – официальный сайт мехмата МГУ

\* Вначале указываются ЭБС, с которыми имеются договора у ВГУ, затем открытые электронно-образовательные ресурсы

**16. Перечень учебно-методического обеспечения для самостоятельной работы** (учебно-методические рекомендации, пособия, задачки, методические указания по выполнению практических (контрольных) работ и др.)

№ п/п	Источник
1.	Корнеев, Виктор Владимирович. Современные микропроцессоры / В. В. Корнеев, А. В. Киселев .— М. : Нолидж, 1998 .— 236 с.
2.	Грушвицкий, Ростислав Игоревич. Аналого-цифровые периферийные устройства микропроцессорных систем / Р.И. Грушвицкий, А.Х. Мурсаев, В.Б. Смолов .— Л. : Энергоатомиздат, Ленингр. отд-ние, 1989 .— 160 с.
3.	Олифер, Виктор Григорьевич. Сетевые операционные системы : учебник для вузов / В. Г. Олифер; Н. А. Олифер .— 2-е изд. — СПб. [и др.] : Питер, 2008 .— 668 с.

**17. Информационные технологии, используемые для реализации учебной дисциплины, включая программное обеспечение и информационно-справочные системы (при необходимости)**

Дисциплина может реализовываться с применением дистанционных образовательных технологий, например, на платформе «Электронный университет ВГУ»

**18. Материально-техническое обеспечение дисциплины:**

Типовое оборудование аудитории для лекционных занятий.

**19. Оценочные средства для проведения текущей и промежуточной аттестаций**

Порядок оценки освоения обучающимся учебного материала определяется содержанием следующих разделов дисциплины:

№ п/п	Наименование раздела дисциплины (модуля)	Компетенция(и)	Индикатор(ы) достижения компетенции	Оценочные средства
1	Введение	ПК -3	ОПК-3.1, ОПК-3.3	Опрос
2	Функциональная организация ЭВМ	ПК -3	ОПК-3.1, ОПК-3.3	Опрос
3	Структурная организация ЭВМ	ПК -3	ОПК-3.1, ОПК-3.3	Опрос
4	Организация процессоров	ПК -3	ОПК-3.1, ОПК-3.3	Опрос
5	Организация памяти	ПК -3	ОПК-3.1, ОПК-3.3	Контрольная работа
	Организация ввода-вывода	ПК -3	ОПК-3.1, ОПК-3.3	
	Элементы и узлы ЭВМ	ПК -3	ОПК-3.1, ОПК-3.3	
	Организация программного обеспечения	ПК -3	ОПК-3.1, ОПК-3.3	
Промежуточная аттестация Форма контроля – зачет с оценкой				КИМ

**20 Типовые оценочные средства и методические материалы, определяющие процедуры оценивания**

## Архитектура и принципы работы основных логических блоков ВС

<p>1. Как называется логический элемент?</p>	<ul style="list-style-type: none"> <li>• Или-не</li> <li>• 4 или-не</li> <li>• <b>4 и</b></li> <li>• 4 и-не</li>   <li>• 4 искл. или</li> </ul>
<p>Как называется логический элемент?</p>	<ul style="list-style-type: none"> <li>• 4 искл.не</li> <li>• 4 или</li> <li>• 4 и</li> <li>• <b>4 искл. или-не</b></li>   <li>• И-или-не</li> </ul>
<p>3. Как называется логический элемент?</p>	<ul style="list-style-type: none"> <li>• <b>4 или</b></li> <li>• 4 или-не</li> <li>• 4 и</li> <li>• 4 и-не</li>   <li>• 4 искл. или</li> </ul>
<p>4. Как называется логический элемент?</p>	<ul style="list-style-type: none"> <li>• И-не</li> <li>• Искл. или</li> <li>• 4 или</li> <li>• 4 и-не</li>   <li>• <b>4 искл. или</b></li> </ul>
<p>5. Как называется логический элемент?</p>	<ul style="list-style-type: none"> <li>• Или-не</li> <li>• 4 или</li> <li>• 4 и</li> <li>• <b>4 и-не</b></li>   <li>• или</li> </ul>
<p>6. Как называется логический элемент?</p>	<ul style="list-style-type: none"> <li>• Или-не</li> <li>• <b>4 или-не</b></li> <li>• 4 и</li> <li>• 4 и-не</li>   <li>• 4 искл. или</li> </ul>
<p>7. <math>x_1=1, x_2=1, x_3=1, x_4=0</math></p>	<ul style="list-style-type: none"> <li>• <math>Y=1</math></li> <li>• <math>Y=0</math> потом 1</li> <li>• <b><math>Y=0</math></b></li> <li>• <math>Y=3</math></li>   <li>• <math>Y=2</math></li> </ul>
<p>8. <math>x_1=1, x_2=1, x_3=1, x_4=0</math></p>	<ul style="list-style-type: none"> <li>• <b><math>Y=1</math></b></li> <li>• <math>Y=0</math> потом 1</li> <li>• <math>Y=0</math></li> </ul>



	<ul style="list-style-type: none"> <li>• Y=3</li> <li>• Y=2</li> </ul>
9. $x_1=1, x_2=1, x_3=1, x_4=0, Y=1$	<ul style="list-style-type: none"> <li>• Y=1</li> <li>• Y=0 потом 1</li> <li>• <b>Y=0</b></li> <li>• Y=3</li> <li>• Y=2</li> </ul>
12. $x_1=1, x_2=0, x_3=1, x_4=0$	<ul style="list-style-type: none"> <li>• <b>Y=1</b></li> <li>• Y=0 потом 1</li> <li>• Y=0</li> <li>• Y=3</li> <li>• Y=2</li> </ul>
13. $x_1=1, x_2=1, x_3=1, x_4=0$	<ul style="list-style-type: none"> <li>• <b>Y=1</b></li> <li>• Y=0 потом 1</li> <li>• Y=0</li> <li>• Y=3</li> <li>• Y=2</li> </ul>
14. Как называется это устройство?	<ul style="list-style-type: none"> <li>• Двухтактный RS-триггер</li> <li>• <b>Асинхронный RS-триггер</b></li> <li>• Синхронный RS-триггер</li> <li>• JK-триггер</li> <li>• JK-двухтактный триггер</li> </ul>
15. Как называется это устройство?	<ul style="list-style-type: none"> <li>• Двухтактный RS-триггер</li> <li>• Асинхронный RS-триггер</li> <li>• <b>Синхронный RS-триггер</b></li> <li>• JK-триггер</li> <li>• JK-двухтактный триггер</li> </ul>
16. Как называется это устройство?	<ul style="list-style-type: none"> <li>• Регистр хранения</li> <li>• Сдвиговый вправо регистр</li> <li>• Сдвиговый влево регистр</li> <li>• <b>Вычитающий счетчик</b></li> <li>• Суммирующий счетчик</li> </ul>
17. Как называется это устройство?	<ul style="list-style-type: none"> <li>• Регистр хранения</li> <li>• Сдвиговый вправо регистр</li> <li>• Сдвиговый влево регистр</li> <li>• Вычитающий счетчик</li> <li>• <b>Суммирующий счетчик</b></li> </ul>
17. Если все Q первоначально=0 и R=0, C=0 > 1 > 0 x 9, Что будет на выходе?	<ul style="list-style-type: none"> <li>• <b>Q1=1, Q2=0, Q3=0, Q4=1, Q5=0, Q6=0, Q7=0, Q8=0</b></li> <li>• Q1=0, Q2=1, Q3=0, Q4=0, Q5=1, Q6=0, Q7=0, Q8=0</li> <li>• Q1=1, Q2=0, Q3=0, Q4=1, Q5=0, Q6=0, Q7=0, Q8=0</li> <li>• Q1=1, Q2=0, Q3=0, Q4=1, Q5=1, Q6=0, Q7=0, Q8=1</li> </ul>

	<ul style="list-style-type: none"> <li>• Q1=1, Q2=0, Q3=0, Q4=0, Q5=0, Q6=0, Q7=0, Q8=0</li> </ul>
18. Если все Q первоначально=0 и R=0, C=0>1>0 x 9, Что будет на выходе?	<ul style="list-style-type: none"> <li>• Q1=1, Q2=0, Q3=0, Q4=1, Q5=0, Q6=0, Q7=0, Q8=0</li> <li>• Q1=1, Q2=0, Q3=0, Q4=1, Q5=0, Q6=0, Q7=0, Q8=0</li> <li>• Q1=1, Q2=0, Q3=0, Q4=1, Q5=0, Q6=0, Q7=0, Q8=0</li> <li>• Q1=1, Q2=0, Q3=0, Q4=1, Q5=0, Q6=0, Q7=0, Q8=0</li> <li>• <b>Q1=1, Q2=1, Q3=1, Q4=1, Q5=0, Q6=1, Q7=1, Q8=1</b></li> </ul>
19. Если все Q первоначально=0 и R=0, C=0>1>0 x 9, Что будет на выходе?	<ul style="list-style-type: none"> <li>• Q1=1, Q2=0, Q3=0, Q4=1, Q5=0, Q6=0, Q7=0, Q8=0</li> <li>• Q1=1, Q2=0, Q3=0, Q4=0, Q5=0, Q6=0, Q7=0, Q8=0</li> <li>• <b>Q1=0, Q2=0, Q3=0, Q4=0, Q5=0, Q6=0, Q7=0, Q8=0</b></li> <li>• Q1=1, Q2=0, Q3=0, Q4=1, Q5=0, Q6=0, Q7=1, Q8=0</li> <li>• Q1=1, Q2=0, Q3=0, Q4=0, Q5=0, Q6=0, Q7=0, Q8=0</li> </ul>
20. Если Q первоначально=0хАА и R=0, R=0>1>0 x 2, что будет на выходе?  •	<ul style="list-style-type: none"> <li>• Q1=0, Q2=1, Q3=0, Q4=1, Q5=0, Q6=1, Q7=0, Q8=1</li> <li>• <b>Q1=1, Q2=0, Q3=1, Q4=0, Q5=1, Q6=0, Q7=1, Q8=0</b></li> <li>• Q1=1, Q2=0, Q3=1, Q4=0, Q5=0, Q6=0, Q7=0, Q8=1</li> <li>• Q1=1, Q2=0, Q3=0, Q4=1, Q5=1, Q6=1, Q7=0, Q8=0</li> <li>• Q1=1, Q2=1, Q3=1, Q4=1, Q5=1, Q6=1, Q7=1, Q8=1</li> </ul>
21. Если Q первоначально=0хАА и R=0, R=0>1>0 x 2, что будет на выходе?	<ul style="list-style-type: none"> <li>• Q1=0, Q2=1, Q3=0, Q4=1, Q5=0, Q6=1, Q7=0, Q8=0</li> <li>• Q1=0, Q2=0, Q3=1, Q4=0, Q5=1, Q6=1, Q7=1, Q8=1</li> <li>• Q1=0, Q2=1, Q3=0, Q4=1, Q5=0, Q6=1, Q7=0, Q8=1</li> <li>• Q1=0, Q2=1, Q3=0, Q4=1, Q5=0, Q6=1, Q7=0, Q8=1</li> <li>• <b>Q1=0, Q2=0, Q3=1, Q4=0, Q5=1, Q6=0, Q7=1, Q8=0</b></li> </ul>
22. Как называется это устройство?	<ul style="list-style-type: none"> <li>• Параллельный регистр хранения</li> <li>• Счетчик суммирующий</li> <li>• <b>Циклически сдвиговой регистр вправо</b></li> <li>• Логически сдвиговой регистр вправо</li> <li>• Счетчик вычитающий</li> </ul>
23. Как называется это устройство?	<ul style="list-style-type: none"> <li>• Циклически сдвиговой регистр влево</li> <li>• Счетчик суммирующий</li> <li>• Циклический сдвиговой регистр вправо</li> <li>• <b>Логически сдвиговой регистр вправо</b></li> <li>• Логически сдвиговой регистр влево</li> </ul>
24. Как называется это устройство?	<ul style="list-style-type: none"> <li>• Циклически сдвиговой регистр влево</li> <li>• <b>Счетчик суммирующий</b></li> <li>• Циклический сдвиговой регистр вправо</li> <li>• Логически сдвиговой регистр вправо</li> <li>• Логически сдвиговой регистр влево</li> </ul>
25. Как называется это устройство?	<ul style="list-style-type: none"> <li>• Циклически сдвиговой регистр влево</li> <li>• Счетчик суммирующий</li> <li>• Циклический сдвиговой регистр вправо</li> <li>• Логически сдвиговой регистр вправо</li> <li>• <b>Логически сдвиговой регистр влево</b></li> </ul>

26. Что такое триггер?	<ul style="list-style-type: none"> <li>• Буфер для хранения информации</li> <li>• <b>Элемент памяти хранящий 1 бит информации</b></li> <li>• Элемент памяти хранящий 1 байт информации</li> <li>• Комбинационная схема с эффектом памяти</li>   <li>• Две комбинационные схемы с эффектом памяти</li> </ul>
27. Какая главная особенность RS-триггера?	<ul style="list-style-type: none"> <li>• <b>Имеется неустойчивое состояние на выходе</b></li> <li>• Элемент памяти хранящий 1 бит информации</li> <li>• Элемент памяти хранящий 1 байт информации</li> <li>• Не имеется неустойчивое состояние на выходе</li>   <li>• Две комбинационные схемы с эффектом памяти</li> </ul>
28. Какая главная особенность JK-триггера?	<ul style="list-style-type: none"> <li>• Имеется неустойчивое состояние на выходе</li> <li>• Элемент памяти хранящий 1 бит информации</li> <li>• Элемент памяти хранящий 1 байт информации</li> <li>• <b>Это универсальный триггер</b></li>   <li>• Две комбинационные схемы с эффектом памяти</li> </ul>
29. D-триггер — это?	<p>19 Триггер защелка  20 Триггер задержки  21 Триггер данных при наличии синхронизации  22 Нет правильного ответа</p> <p><b>23 Все ответы верны</b></p>
30. T-триггер — это?	<ul style="list-style-type: none"> <li>• <b>Счетный триггер</b></li> <li>• Триггер задержки</li> <li>• Это <math>R=S=1</math></li> <li>• Нет правильного ответа</li>   <li>• Все ответы верны</li> </ul>
31. Что это за устройство?	<ul style="list-style-type: none"> <li>• RS-триггер</li> <li>• <b>Универсальный двухтактный D-триггер с асинхронными R и S входами</b></li> <li>• Универсальный двухтактный D-триггер с синхронными R и S входами</li> <li>• Счетный триггер</li>   <li>• Все ответы верны</li> </ul>
32. Что это за устройство?	<ul style="list-style-type: none"> <li>• RS-триггер</li> <li>• Универсальный двухтактный D-триггер с асинхронными R и S входами</li> <li>• Универсальный двухтактный D-триггер с синхронными R и S входами</li> <li>• <b>Счетный триггер</b></li>   <li>• Все ответы верны</li> </ul>
33. Как называется триггер для подсчета единиц информации?	<p>4. Триггер задержки  5. <b>Счетный триггер</b>  6. RS-триггер</p>

	7. D-триггер 8. Все ответы верны
34. Что называется 8-ми разрядным регистром?	<ul style="list-style-type: none"> <li>• Элемент памяти который хранит <math>\frac{1}{2}</math> байт информации</li> <li>• Элемент памяти который хранит 1 бит информации</li> <li>• Элемент памяти который хранит <math>\frac{1}{2}</math> бит информации</li> <li>• Элемент памяти который хранит слово</li> <li>• <b>Элемент памяти который хранит 1 байт информации</b></li> </ul>
35. Чему равен Y, если $x_1=0$ , $x_2=1$ , $x_3=1$ ?	<ul style="list-style-type: none"> <li>• <math>Y=2</math></li> <li>• <math>y=3</math></li> <li>• <b><math>y=1</math></b></li> <li>• <math>y=0</math></li> <li>• <math>y=1+1</math></li> </ul>

#### Пакет преподавателя

№ задания	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
правильный ответ	3	4	1	5	4	2	3	1	1	3	1	1	2	3	4	5	1

№ задания	1	1	2	2	2	2	2	2	2	2	2	2	3	3	3	3	3	35
правильный ответ	8	9	0	1	2	3	4	5	6	7	8	9	0	1	2	3	4	3

#### Пример контрольно-измерительного материала

##### Вариант №1 Теоретические вопросы

1. Шины МП и их назначение.
2. Архитектура (структура) микропроцессора. Назначение основных узлов.

##### Практические задания

1. Построить матричный дешифратор на 2 входа (таблица, СКНФ, схема).
2. Объяснить принцип работы многоразрядного комбинационного последовательного сумматора (схема).

#### Требования к выполнению заданий, шкалы и критерии оценивания

Критерии оценивания компетенций	Уровень сформированности компетенций	Шкала оценок
---------------------------------	--------------------------------------	--------------

Обучающийся в полной мере владеет понятийным аппаратом данной области науки (теоретическими основами дисциплины), способен иллюстрировать ответ примерами, фактами, данными научных исследований, применять теоретические знания для решения практических задач в области...	<i>Повышенный уровень</i>	<i>зачет</i>
Обучающийся владеет понятийным аппаратом данной области науки (теоретическими основами дисциплины), допускает незначительные ошибки при ответе.	<i>Базовый уровень</i>	<i>зачет</i>
Обучающийся владеет частично теоретическими основами дисциплины, фрагментарно способен дать ответ .	<i>Пороговый уровень</i>	<i>зачет</i>
Обучающийся демонстрирует отрывочные, фрагментарные знания, допускает грубые ошибки,	–	<i>Незачет</i>